

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

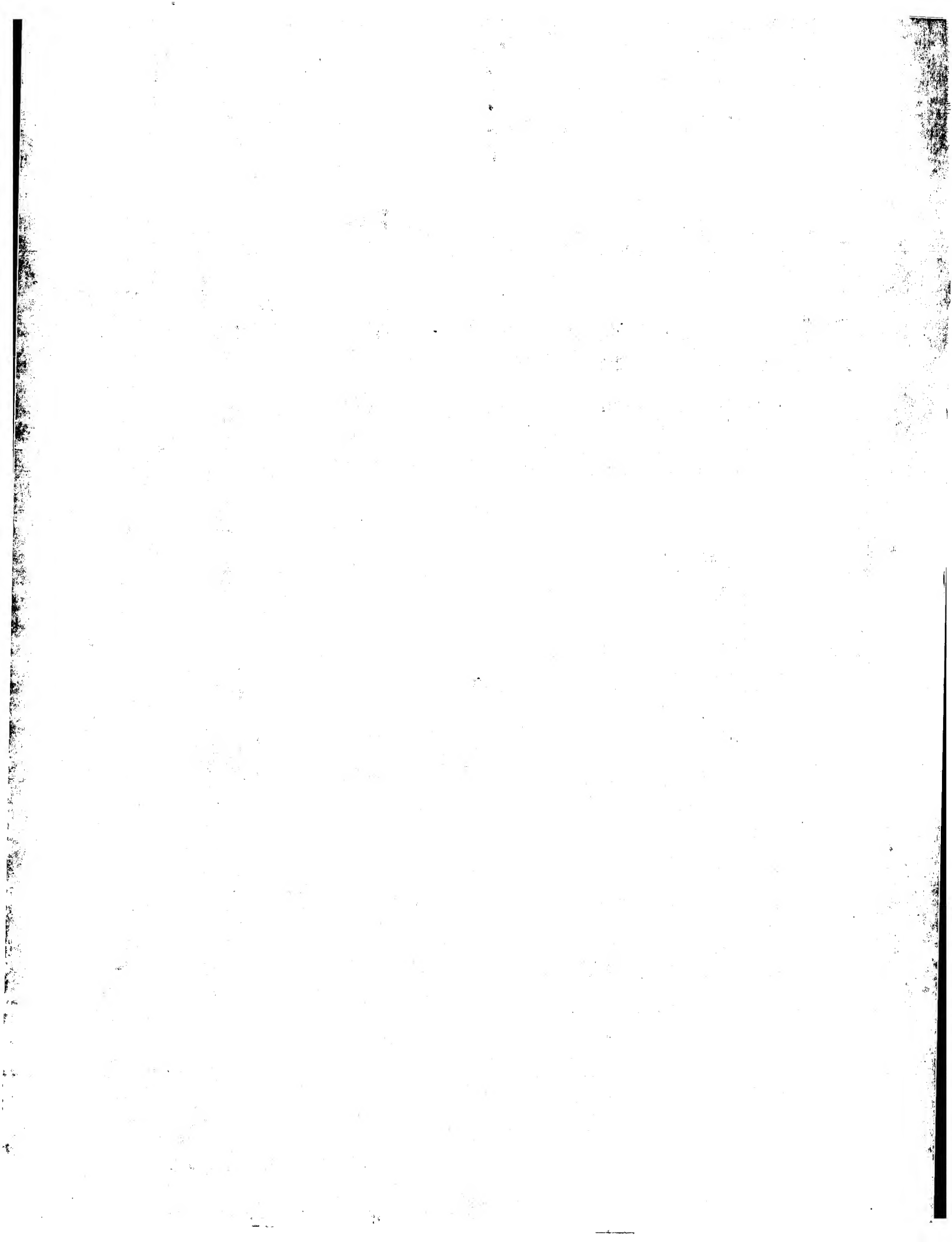
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 198 08 986 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**H 01 L 25/065**  
H 01 L 23/053  
H 01 L 23/50  
H 01 L 23/52  
H 01 L 23/36  
H 05 K 3/32

②1 Aktenzeichen: 198 08 986.4  
②2 Anmeldetag: 3. 3. 98  
④3 Offenlegungstag: 9. 9. 99

DE 198 08 986 A 1

⑦1 Anmelder:  
Siemens AG, 80333 München, DE

⑦2 Erfinder:  
Tutsch, Günter, 93342 Saal, DE; Münch, Thomas,  
Dr., 93164 Laaber, DE

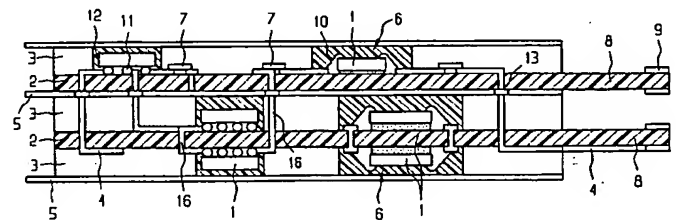
⑤6 Entgegenhaltungen:  
JP 08-330509 A - in: Patents Abstracts of Japan  
(1996);  
JP 2-260449 A - in: Patents Abstracts of Japan,  
Sect. E, Vol. 15 (1991), Nr. 3 (E-1019);  
JP 08-148642 A - in: Patents Abstracts of Japan  
(1996);  
SLYMAN, D.A.: Anisotrop leitende Kleber, in:  
TR Technische Rundschau Nr. 29/30, 1997, S.12-16;

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiterbauelement mit mehreren Halbleiterchips

⑤7 Es wird ein Halbleiterbauelement vorgeschlagen, das aus mindestens einem Halbleiterchip, Außenkontakten und einer Leiterbahnanordnung besteht, wobei das Halbleiterbauelement aus mindestens einer Trägerlage, mindestens einer Zwischenlage und mindestens einer Decklage aufgebaut ist. Die Zwischenlage ist mit wenigstens einer Öffnung versehen, in die Halbleiterchips eingebracht sind. Die Trägerlage, die Zwischenlage und die Decklage werden übereinander liegend miteinander verbunden und bilden ein Submodul. Werden mehrere Submodule übereinander aufgebracht, entsteht ein Halbleiterbauelement, in dem die Halbleiterchips sich in mehreren übereinanderliegenden Ebenen befinden. Die Halbleiterchips können untereinander verbunden sein.



DE 198 08 986 A 1

Die Erfindung betrifft ein Halbleiterbauelement mit mindestens einer Trägerlage, mindestens einer Zwischenlage und mindestens einer Decklage, wobei auf der Trägerlage zumindest ein Halbleiterchip aufgebracht ist.

Oberflächenmontierte elektronische Bauelemente, auch SMD-Bauelemente genannt, werden üblicherweise in ein Gehäuse aus einer Kunststoffpreßmasse eingebettet, aus dem elektrische Anschlüsse herausgeführt werden. Es existiert eine Vielzahl von unterschiedlichen Gehäusebauformen, die verschieden groß sind und eine unterschiedliche Anzahl an Anschlüssen aufweisen. Ein Halbleiterchip wird dabei zunächst mit einem Trägerlage verbunden. Die Verbindung des Halbleiterchips mit dem Trägerlage erfolgt üblicherweise durch eine Klebung, durch Lötung oder durch eine Legierung. Nach dem Befestigen des Halbleiterchips werden dessen einzelne Anschlußpunkte mit den Anschlüssen des Trägerrahmens, zum Beispiel mit Bonddrähten verbunden. Danach werden der Halbleiterchip und die Anschlüsse des Anschlußrahmens so umspritzt, daß der Halbleiterchip vollständig gekapselt ist und die Anschlüsse aus dem Gehäuse herausragen.

Es besteht die Notwendigkeit, das Halbleiterbauelement mit möglichst geringen Abmessungen zu gestalten. Bei möglichst geringem Volumen soll eine möglichst hohe Speicherdichte bzw. Performance des Halbleiterbauelements realisiert werden. Will man den Gehäuseplatzbedarf verringern, so geht dies bei peripherer Außenanschlußanordnung nur durch eine deutliche Verfeinerung des Anschlußrasters. Mit dieser Miniaturisierung der Außenanschlußanordnung gerät man jedoch immer mehr an die Grenzen der Prozeßfähigkeit, sowohl bei der Fertigung als auch beim Einlöten auf den Baugruppenträger. Dies bedingt vollkommen neue Technologien der Bauform, beispielsweise das Multichipmodul (MCM).

In einem Multichipmodul werden mehrere Halbleiterchips in einer Ebene nebeneinander auf ein Substrat aufgebracht und mit diesem verbunden. Es besteht dabei die Möglichkeit, interne Chip zu Chip Verbindungen zu realisieren. Neben den Plastic-Leadframe-Packages, bei denen die Halbleiterchips auf eine Substratlage aufgebracht werden und die nach dem elektrischen Kontaktieren von einer umgehenden Kunststoffspritzmasse umgeben werden, existieren auch Keramik-Packages mit einer Kavität, in die die Halbleiterchips eingebracht werden. Man unterscheidet 3 Konstruktionsprinzipien:

In einer ersten Ausführungsform wird ein Mehrlagenverdrahtungssystem (Substrat) in ein Gehäuse integriert. Dieses Prinzip findet vor allen bei den Plastic-Leadframe-Packages Anwendung. In einer zweiten Herstellungsform weist das Gehäuse bereits ein Verdrahtungsträgersystem auf (Cofire-Keramik- und Laminat-Packages). In einer dritten und der einfachsten Form weist das Gehäuse eine Konstruktion ohne Verdrahtungsträgersystem auf. Es bietet sich hierbei die Möglichkeit für einfache Multichipmodule mit zwei oder maximal 3 Halbleiterchips eine direkte Verbindung über eine Drahtverbindung untereinander herzustellen.

Neben der komplizierten Herstellung des sogenannten Substrats besteht der Hauptnachteil der Multichipmodule darin, daß diese nicht für eine wirtschaftliche Massenproduktion geeignet sind.

Die Aufgabe der Erfindung besteht deshalb darin, ein Halbleiterbauelement zu entwickeln, bei dem bei geringem Volumenverbrauch eine hohe Packungsdichte erzielt wird.

Diese Aufgabe wird gemäß den Merkmalen des Patentanspruchs 1 gelöst.

Weiterbildungen der Erfindung sind Gegenstand der Un-

teransprüche.

Der Grundgedanke der Erfindung besteht darin, mehrere Halbleiterchips in einem Halbleiterbauelement unterzubringen, wobei die Halbleiterchips jedoch nicht nur auf einer Ebene angeordnet sind, sondern wobei diese auch übereinander in mehreren Ebenen angebracht sein können. Das Halbleiterbauelement besteht deshalb aus mindestens jeweils einer Trägerlage, einer Zwischenlage und einer Decklage, mindestens einem Halbleiterchip mit Kontaktpads auf einer Oberseite, aus Außenkontakten und einer Leiterbahnanordnung, wobei die Leiterbahnen die elektrische Verbindung zwischen den Kontaktpads des Halbleiterchips und den Außenkontakten herstellen.

Die Zwischenlage weist mindestens eine Öffnung auf. Diese mindestens eine Öffnung dient zur Aufnahme des jeweils mindestens einen Halbleiterchips. Die Leiterbahnanordnung befindet sich auf der Trägerlage. Die Zwischenlage, die Trägerlage und die Decklage sind übereinanderliegend miteinander verbunden. Weiterhin ist das Bauelement dadurch gekennzeichnet, daß die Leiterbahnen der Trägerlage zum einen in einem Bereich in der Nähe der Halbleiterchips, zum anderen in einem Randbereich des Halbleiterbauelementes enden.

Vorteilhaft bei einer derartigen Ausgestaltung des Bauelements ist es, daß sich das Halbleiterbauelement mit bekannten Fertigungsmethoden und Materialien herstellen läßt. Die Zwischenlage besteht zum Beispiel aus FR4 oder aber in einer vorteilhaften Ausgestaltung aus einer ganz oder teilweise durchoxidierten Aluminiumoxidfolie, auf deren Oberseite Leiterbahnen geätzt oder gedruckt sind. Hierzu können die Fertigungsmethoden des printed-circuit-boards (PCB) verwendet werden. Die Zwischenlage besteht ebenso wie die Trägerlage entweder aus FR4 oder in der vorteilhaften Ausgestaltung aus der ganz oder teilweise durchoxidierten Aluminiumoxidfolie. In die Zwischenlage sind Öffnungen gestanzt oder geprägt; es kann auch jedes andere bekannte Fertigungsverfahren angewendet werden. Auch dieser Herstellungsschritt ist bekannt. Die Decklage besteht aus einem Material, das Wärme gut ableitet und das vom thermischen Ausdehnungskoeffizienten gut an die Werte von Trägerlage und Zwischenlage angepaßt ist.

Das Halbleiterbauelement setzt sich aus sogenannten Submodulen zusammen. Ein Submodul besteht aus einer Trägerlage, auf dem ein bzw. beidseitig eine Zwischenlage auflaminiert ist sowie einer bzw. zwei Decklage(n). Die Decklage bzw. Decklagen wird (werden) auf der anderen Seite der Zwischenlage(n) aufgebracht und bildet bzw. bildet den Abschluß des Halbleiterbauelementes. Dies bedeutet, daß die eine Seite einer Zwischenlage die Decklage aufweist, die andere Seite einer Zwischenlage die Trägerlage aufweist. Da sowohl die Decklage als auch die Trägerlage eine plane Oberfläche besitzen, können mehrere dieser ein- oder beidseitig ausgeführten Submodule zu einem Halbleiterbauelement zusammengefügt werden. Das einseitige Submodul besteht aus einer Trägerlage, bei dem auf einer Seite eine Zwischenlage aufgebracht ist, die ihrerseits durch eine Decklage bedeckt ist. Ein zweiseitiges Submodul ist dadurch gekennzeichnet, daß die Trägerlage auf beiden Seiten mit einer Zwischenlage versehen ist, wobei die jeweils noch freie Seite der zwei Zwischenlagen durch jeweils eine Decklage bedeckt wird.

Da jede Zwischenlage zumindest eine Öffnung aufweist, in der jeweils mindestens ein Halbleiterchip eingebracht ist, wird durch das Zusammenfügen mehrerer Submodule übereinander ein Stapeln von Halbleiterchips in der dritten Dimension erreicht. Hierdurch ist bei einem geringen Volumenbedarf eine hohe Packungsdichte des Halbleiterbauelementes erzielt.

Die in der Nähe des zumindest einen Halbleiterchips liegenden Leiterbahnen sind so auf der Trägerlage aufgebracht, daß die Leiterbahnen innerhalb der in der Zwischenlage befindlichen Öffnung oder Öffnungen zum liegen kommen.

Bei einem beidseitigen Submodul sind die Leiterbahnen auf beiden Seiten der Trägerlage aufgebracht. Es ist jedoch auch bei einem einseitigen Submodul denkbar, daß die Leiterbahnanordnung auf beiden Seiten der Trägerlage aufgebracht ist. Dies bringt den Vorteil mit sich, daß die Leiterbahnführung flexibler erfolgen kann.

Ein weiterer Vorteil des erfindungsgemäßen Halbleiterbauelementes besteht darin, daß die Trägerlage ähnlich einem PCB aufgebaut ist. Dies erlaubt es, sowohl gehäuste als auch ungehäuste Halbleiterchips in das Halbleiterbauelement zu integrieren. Die Halbleiterchips können sowohl mittels eines Flip-Chip-Prozesses auf die Trägerlage aufgebracht werden, als auch mit ihrer nicht strukturierten Rückseite auf die Trägerlage aufgeklebt oder laminiert werden und durch einen Wirebondprozeß oder ein Spiderband mit den Leiterbahnen elektrisch verbunden werden. Die in den Öffnungen liegenden Halbleiterchips können nach dem elektrischen Kontaktieren von einer Kunststoffpreßmasse umgeben sein oder, falls die Zuverlässigkeit gewährleistet ist, auch ohne die Preßmasse in der Öffnung liegen.

In einer vorteilhaften Ausgestaltung des Halbleiterbauelementes ist auf der Trägerlage zumindest ein passives Bauelement integriert. Die passiven Bauelemente können zum Beispiel elektrische Widerstände, Kapazitäten oder ähnliches sein.

Vorteilhafterweise reicht die Decklage zumindest an einer Seite, an der keine Außenkontakte angeordnet sind, über die Zwischenlage und die Trägerlage hinaus. In diesem Fall ist die Decklage als Wärmeverteiler ausgeführt. Je nach abzuführender Verlustleistung des Halbleiterbauelementes kann der über die Zwischenlage und die Trägerlage hinaus reichende Wärmeverteiler optimiert werden. Die größte Wärmeverlustleistung kann dann abgeführt werden, wenn die Decklage an allen Seiten, an der keine Außenkontakte angeordnet sind, über die Zwischenlage und die Trägerlage hinausreicht.

Die Trägerlage ragt an der Seite, an der die Außenkontakte des Halbleiterbauelementes angeordnet sind, über die Zwischenlage und die Decklage hinaus. Hierdurch können die Außenkontakte als Steckverbindungen ausgeführt werden. Werden die Leiterbahnen bis an das Ende der Trägerlage herangeführt, kann nach Aufbringen von Metallisierungen an den Enden der Leiterbahnen eine Steckverbindung, die auf einen Baugruppenträger elektrisch kontaktiert wird, hergestellt werden. Es ist jederzeit auch denkbar, daß die Außenkontakte als Pins ausgeführt werden. Werden die Metallisierungskontakte der Steckverbindung auf beiden Seiten gegenüberliegend auf der Trägerlage angebracht, so ist es denkbar, daß beide Metallisierungen dasselbe elektrische Signal führen oder daß jede der beiden Metallisierungen ein eigenes elektrisches Signal führt. Dies ist vor allem dann günstig, wenn die Leiterbahnen beidseitig auf der Trägerlage angebracht sind. Um ein korrektes Anbringen des Halbleiterbauelementes auf einem Baugruppenträger sicherzustellen weist die Trägerlage eine mechanische Kodierung, zum Beispiel in Form von einer Aussparung oder eines ausgeschnittenen Vielecks an einer Eckseite auf. Die mechanische Kodierung kann dabei jede erdenkliche Form annehmen, sofern sichergestellt ist, daß ein falsches Kontaktieren auf dem Baugruppenträger verhindert wird.

Um die Anzahl der Außenkontakte möglichst gering zu halten, und um damit das Aufbringen und den Verlauf der Leiterbahnanordnung zu vereinfachen, ist es vorteilhaft, daß

alle im Halbleiterbauelement befindlichen Halbleiterchips über eine gemeinsame Leiterbahn versorgt werden. Dies bedeutet, daß bei  $n$  Halbleiterchips  $(n-1) \cdot 2$  Außenkontakte eingespart werden können. Leiterbahnen innerhalb des Halbleiterbauelementes sorgen für die elektrische Verbindung der mit den jeweiligen Außenkontakte zur Versorgung dienenden Kontaktpads der Halbleiterchips. In einer vorteilhaften Ausgestaltung des Halbleiterbauelementes wird als Zwischenlagenmaterial und als Trägerlagenmaterial eine teilweise durchoxidierte Aluminiumoxidfolie verwendet. Die Aluminiumoxidfolie weist den Vorteil auf, daß die Wärmeausdehnungskoeffizienten besser an die Werte von Halbleiterchips und Kunststoffpreßmasse angepaßt sind. Weiterhin übernimmt die Aluminiumoxidfolie eine Isolierung der einzelnen Lagen gegeneinander. Verbleibt ein metallischer Aluminiumkern in der teilweise durchoxidierten Aluminiumoxidfolie, so übernimmt dieser eine elektrische Abschirmung der übereinander befindlichen Zwischenlagen bzw. Trägerlagen. Weiterhin wird ein Feuchtereinschluß verhindert. Ein weiterer Vorteil ist eine gegenüber der Verwendung von FR4 kostengünstigere Herstellung der Aluminiumoxidfolie.

In dem erfindungsgemäßen Halbleiterbauelement können Halbleiterchips verschiedener Art enthalten sein. Dies können beispielsweise Speicherchips und/oder Prozessoren sein. Die Halbleiterchips können untereinander mittels Leiterbahnen verbunden sein, sofern die Halbleiterchips in einer Ebene liegen. Mittels Durchkontaktierungen, die sich in der Trägerlage oder den Zwischenlagen befinden, ist es möglich, Halbleiterchips, die sich in unterschiedlichen Ebenen befinden elektrisch miteinander zu verbinden. Sollen Halbleiterchips, die sich in unterschiedlichen Submodulen befinden, miteinander verbunden werden, so weisen die Decklage und die Trägerlage sogenannte Kontaktinterfaces auf. Die Kontaktinterfaces sind dabei so angebracht, daß diese beim Verbinden der Trägerlage eines Submoduls mit der Decklage eines anderen Submoduls genau übereinander liegen. Wird die Verbindung der beiden Submodule mittels eines anisotropen Klebers vorgenommen, so ist gleichzeitig die elektrische Verbindung der Kontaktinterfaces von beiden Zwischenlagen sichergestellt. Zur elektrischen Verbindung können ebenso Lötpasten oder Lötkügelchen verwendet werden, wobei die Verbindung zwei Submodule dann auch mittels Klebung oder Lamination hergestellt werden kann. Ein anisotroper Leitkleber hat die vorteilhafte Eigenschaft, daß er z. B. in Y-Richtung leitend ist, während er in der X-Ebene elektrisch isolierend ist. Gleichzeitig übernimmt er die feste mechanische Verbindung zwischen einer Trägerlage und einer Decklage. Die Kontaktinterfaces sind elektrisch mit einer Durchkontaktierung verbunden, die ihrerseits mit einer Leiterbahn auf einer Trägerlage elektrisch leitend verbunden sind.

Der Vorteil des erfindungsgemäßen Halbleiterbauelementes besteht darin, daß in einem Submodul funktional zusammen gehörende Gruppen untergebracht werden können. Es können Halbleiterchips unterschiedlicher Art, zum Beispiel Speicherbausteine mit Prozessoren in einem Submodul kombiniert werden; weiterhin ist es möglich, passive Bauelemente in einem Submodul zu integrieren. Dadurch, daß die beiden Seiten eines Submoduls – bei einem einseitigen Submodul bestehend aus Decklage und Trägerlage, bei einem zweiseitigen Submodul bestehend aus zwei Decklagen – plan sind, können mehrere Submodule übereinander gebracht, verbunden und zu einem sehr kompakten Halbleiterbauelement kombiniert werden. Durch die kompakte Anordnung der einzelnen Halbleiterchips in einem oder in mehreren Submodulen bzw. der passiven Bauelemente ist eine sehr gute Signalperformance aufgrund der kurzen Si-

gnallängen vor allem bei höheren Frequenzen gewährleistet. Weiterhin besteht die Möglichkeit, Halbleiterchips sowohl in einem Submodul elektrisch miteinander zu verbinden, als auch über Kontaktinterfaces Halbleiterchips in verschiedenen Submodulen miteinander zu verbinden. Bei einem zweiseitigen Submodul können zwischen zwei Halbleiterchips sehr kurze Signalwege geschaffen werden, wenn diese gespiegelt auf dem Trägerlage angebracht werden, und die elektrischen Kontakte mittels Durchkontaktierungen durch die Trägerlage miteinander verbunden werden. Weiterhin ist eine gute Wärmeableitung durch die integrierten Decklagen, die auf jeder Zwischenlage angebracht sind, sichergestellt. Dadurch, daß mehrere Submodule übereinander angebracht sind, ist eine geringere Verformung des komplett bestückten und versiegelten Halbleiterbauelementes gewährleistet. Eine kostengünstige Herstellung des Halbleiterbauelementes ist möglich, da bekannte Herstellungstechnologien und Fertigungsgrätschaften verwendet werden können. Durch den modularen Aufbau aus den Submodulen ist eine flexible Kombination verschiedener funktioneller Baugruppen möglich.

Im folgenden soll ein Verfahren zum Herstellen eines Halbleiterbauelementes, das aus einem Submodul besteht, beschrieben werden. In einem ersten Schritt wird eine Trägerlage mit einer Leiterbahnanordnung und, falls erwünscht, mit passiven Bauelementen bestückt. Anschließend wird die Trägerlage mit einer Zwischenlage, die mindestens eine Öffnung aufweist, verbunden. Das Verbinden geschieht vorzugsweise durch Laminieren. In die Öffnung der Zwischenlage wird mindestens ein Halbleiterchip eingebracht, der mit der Trägerlage verbunden wird. Der Halbleiterchip kann dabei mit seiner strukturierten Seite (face down) oder mit seiner Rückseite auf der Trägerlage aufgebracht werden. Anschließend wird der Halbleiterchip elektrisch mit den Leiterbahnen kontaktiert. Die Enden der Leiterbahnen sind so auf der Trägerlage aufgebracht, daß sie in die Öffnung der Zwischenlage hineinragen. Nach dem elektrischen Kontaktieren kann die Öffnung mit einer Kunststoffpreßmasse ausgegossen werden oder auch nicht. In einem letzten Schritt wird eine Decklage auf die Zwischenlage aufgebracht, wobei die zumindest eine Öffnung der Zwischenlage bedeckt wird. Die Decklage wird fest mit der Zwischenlage, zum Beispiel durch Laminieren verbunden. In einem letzten Schritt werden Metallisierungen auf die Enden der Leiterbahnen, die sich auf der Trägerlage befinden, die an der Seite, an der die Außenkontakte vorgesehen sind, über die Decklage und die Zwischenlage hinausreicht, aufgebracht.

Soll ein zweiseitiges Submodul hergestellt werden, so wird auf der zweiten Seite der Trägerlage eine Zwischenlage mit mindestens einer Öffnung aufgebracht, in der wiederum jeweils mindestens ein Halbleiterchip eingebracht wird, elektrisch mit den Leiterbahnen verbunden. Anschließend wird auf der zweiten Zwischenlage eine Decklage, die vorzugsweise an allen Seiten, an der keine Außenkontakte des Halbleiterbauelementes untergebracht sind, über die Trägerlage und die zwei Zwischenlagen hinausreicht, aufgebracht. Die Metallisierungen auf der Trägerlage, die die Außenkontakte bilden, können ein oder zweiseitig auf der Trägerlage angebracht sein.

Ein zweites Herstellungsverfahren unterscheidet sich von dem eben beschriebenen Verfahren dadurch, daß auf der Trägerlage, die die Leiterbahnen und die passiven Bauelemente aufweist, zuerst die Halbleiterchips auf diese aufgebracht und fest verbunden werden. Anschließend werden die Kontaktpads der Halbleiterchips zum Beispiel mittels Bonddrähten mit den Leiterbahnen der Zwischenlagen verbunden. Die Halbleiterchips können dabei ein oder beidseitig auf die Trägerlage aufgebracht worden sein. Erst dann wird

ein oder zweiseitig jeweils eine Zwischenlage, die Öffnungen an den Stellen der Halbleiterchips auf dem Trägerlage aufweist, auf die Trägerlage aufgebracht und mit diesem zum Beispiel durch Laminieren, verbunden. Die in den Öffnungen liegenden Halbleiterchips können durch Preßmasse ausgegossen werden. Die weiteren Fertigungsschritte laufen entsprechend dem ersten Herstellungsverfahren ab.

Hat man nach einem der beiden beschriebenen Fertigungsverfahren mehrere Submodule gefertigt, so können mehrere Submodule zu einem Halbleiterbauelement verbunden werden. Basis ist dabei ein zweiseitiges Submodul, auf dem jeweils ein oder mehrere einseitige Submodule aufgebracht werden. Dies bedeutet, daß das Halbleiterbauelement auf beiden gegenüberliegenden Seiten immer durch einen Decklage abgeschlossen ist. Zwei Submodule werden immer so zusammengefügt, daß eine Decklage mit einer Zwischenlage verbunden ist.

Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen unter Bezugnahme auf die Figuren näher erläutert.

Es zeigen:

Fig. 1-3 ein Halbleiterbauelement im Querschnitt, bestehend aus einem einseitigen Submodul,

Fig. 4 und 5 ein Halbleiterbauelement im Querschnitt, bestehend aus einem zweiseitigen Submodul,

Fig. 6 ein Halbleiterbauelement in Draufsicht,

Fig. 7 ein Halbleiterbauelement im Querschnitt, bestehend aus je einem einseitigen und einem zweiseitigen Submodul und

Fig. 8 ein Halbleiterbauelement im Querschnitt mit einer Variante bei den Bauelementkontakten.

Fig. 1 zeigt ein Halbleiterbauelement, bestehend aus einem einseitigen Submodul. Die Trägerlage 2 weist auf einer Seite Leiterbahnen 4 auf. Auf der Seite, auf der die Leiterbahnen 4 aufgebracht sind, ist eine Zwischenlage 3, die Öffnungen 6 aufweist, auflaminiert. Die Zwischenlage 3 ist durch eine Decklage 5 abgeschlossen. In die Öffnungen 6 sind Halbleiterchips 1 eingebracht und mit der Zwischenlage 2 mittels eines Klebers 15 verbunden. In der gezeichneten Darstellung sind die Halbleiterchips 1 mit ihrer nichtleitenden Rückseite auf die Zwischenlage 2 geklebt. Es ist auch eine andere Befestigungstechnik als Klebung denkbar. Die auf den Halbleiterchips 1 befindlichen Kontaktpads 14 sind mittels Bonddrähten 10 mit den Leiterbahnen 4 elektrisch verbunden. Die Öffnungen 6 sind mittels einer Kunststoffpreßmasse 12 abgeschlossen. Die Decklage 5 schließt an den Seiten, an denen keine Außenkontakte 8 angebracht sind, mit der Zwischenlage 3 ab. Die Trägerlage 2 ist an der Seite, an der die Außenkontakte 8 angebracht sind über die Decklage 5 und die Zwischenlage 2 hinaus verlängert, wobei die Leiterbahnen 4 bis zum Ende der Trägerlage 2 reichen. An den Enden der Leiterbahnen 4 sind Metallisierungen 9 aufgebracht, die in Form von Steckverbindungen die Außenkontakte 8 darstellen. Die in der Figur eingezeichneten Halbleiterchips 1 können mittels Leiterbahnen 4 miteinander elektrisch verbunden sein, oder auch nicht. Die in die Nähe der Halbleiterchips 1 liegenden Leiterbahnenenden 4 liegen dabei innerhalb der jeweiligen Öffnungen 6.

Fig. 2 zeigt ein Halbleiterbauelement, bestehend aus einem einseitigen Submodul. Fig. 2 unterscheidet sich von Fig. 1 dadurch, daß die Decklage 5 zumindest an der den Außenkontakten 8 gegenüberliegenden Seite über die Zwischenlage 3 hinaus verlängert ist, um eine höhere Wärmeverteilung zu erzielen. Weiterhin sind auf der Trägerlage 2, auf der die Leiterbahnen 4 zum Beispiel gedruckt oder geätzt sind, passive Bauelemente 7 aufgebracht. Fig. 2 zeigt in der einen Zwischenlage 3 zwei Öffnungen 6, in der sich jeweils ein Halbleiterchip 1 befindet. Einer der Halbleiter-

chips 1 ist mittels Flip-Chip-Kontaktierung 11 auf der Trägerlage 2 befestigt und elektrisch mit den Leiterbahnen 4 verbunden. Der andere Halbleiterchip 1 ist mit seiner Rückseite auf die Trägerlage 2 geklebt und mittels Bonddrähten 10 mit den Leiterbahnen 4 elektrisch verbunden. Die beiden Öffnungen 6 sind mittels Kunststoffpreßmasse 12 ausgegossen, um die Zuverlässigkeit des Halbleiterbauelementes sicher zu stellen, z. B. durch eindringende Feuchtigkeit in die Öffnungen 6. Es ist jederzeit denkbar, daß die Trägerlage 2 mehr als zwei Öffnungen 6 aufweist, und daß in einer Öffnung 6 auch mehrere Halbleiterchips 1 untergebracht sind.

Fig. 3 zeigt ein Halbleiterbauelement, bestehend aus einem einseitigen Submodul. Die Trägerlage 2 weist auf beiden Seiten Leiterbahnen 4 auf. Auf einer Seite der Trägerlage 2 ist eine Zwischenlage 3, die Öffnungen 6 aufweist, aufgebracht. In den Öffnungen 6 liegt jeweils ein Halbleiterchip 1, der mit seiner nichtleitenden Rückseite auf die Zwischenlage 2 mittels Kleber 15 befestigt ist. Die Halbleiterchips 1 sind mittels Bonddrähten 10 mit den Leiterbahnen 4 elektrisch verbunden. Auf der Seite, auf der die Zwischenlage 3 auf der Trägerlage 2 befestigt ist, weist die Trägerlage 2 passive Bauelemente 7, die zum Beispiel Widerstände oder Kondensatoren sein können, auf. Die Decklage 5 ragt zumindest an der Seite, an der keine Außenkontakte 8 angebracht sind, über die Zwischenlage 3 und die Trägerlage 2 hinaus, um eine größere Wärmeabfuhr zu erzielen. Die auf der unteren Seite der Trägerlage 2 befindlichen Leiterbahnen 4 sind mittels Durchkontaktierungen 16 durch die Trägerlage 2 mit Leiterbahnen 4 auf der Oberseite der Trägerlage 2 verbunden. Die beidseitige Leiterbahnführung auf der Trägerlage 2 bringt den Vorteil, daß auf beiden Seiten der Außenkontakte 8 eine Metallisierung 9 aufgebracht werden kann, und somit die Leiterbahnführung flexibler ausgelegt werden kann. Hierdurch ergibt sich der Vorteil, daß die doppelte Anzahl an externen Außenkontakten erzeugt werden kann, ohne daß der Abstand zwischen zwei Leiterbahnen 4 bzw. zwei Metallisierungen 9 verkleinert werden müßte.

Fig. 4 zeigt ein Halbleiterbauelement im Querschnitt, bestehend aus einem beidseitigen Submodul. Auf der Trägerlage 2 sind beidseitig Leiterbahnen 4 sowie passive Bauelemente 7 (nur auf einer Seite sichtbar) aufgebracht. Auf beiden Seiten der Trägerlage 2 befindet sich jeweils eine Zwischenlage 3, die jede eine bestimmte Anzahl an Öffnungen 6 aufweist. In jede der Öffnungen 6 ist zumindest ein Halbleiterchip 1 eingebracht und mit der Trägerlage 2 verbunden. In der dargestellten Zeichnung sind alle Halbleiterchips 1 mit ihrer nichtleitenden Rückseite mittels Kleber 15 auf der Trägerlage 2 befestigt. Die elektrische Kontaktierung aller Halbleiterchips 1 ist mittels Bonddrähten 10 von den Kontaktpads 14 der Halbleiterchips 1 auf die Leiterbahnen 4 vorgenommen. Auf jede der beiden Zwischenlagen 3 ist eine Decklage 5 aufgebracht, die die Zwischenlage 3 mit den Öffnungen 6 bedeckt. Die Decklagen 5 reichen an den Seiten, an denen keine Außenkontakte 8 am Halbleiterbauelement angebracht sind über die Zwischenlagen 3 und die Trägerlage 2 hinaus. Halbleiterchips 1, die nicht in der gleichen Zwischenlage 3 liegen, können mittels Durchkontaktierungen 16 untereinander verbunden sein. Die Durchkontaktierungen 16 können jedoch auch nur dazu dienen, die Leiterbahnführung zu optimieren. Es ist nicht zwangsweise notwendig, daß jede Durchkontaktierung eine Chip-to-Chip-Verbindung herstellt. In der dargestellten Figur ist nur ein passives Bauelement auf der Trägerlage 2 dargestellt. Es ist jedoch selbstverständlich möglich, daß beidseitig der Trägerlage 2 passive Bauelemente aufgebracht sind. Die Außenkontakte 8 sind wie in den vorangegangenen Zeichnungen als Steckverbindungen ausgeführt, das heißt die Leiterbahnen 4 weisen Metallisierungen 9 auf, über die ein

Baugruppenträger kontaktiert werden kann. Zwei der dargestellten vier Öffnungen 6 sind mit Preßmasse 12 ausgegossen. In den zwei anderen Öffnungen 6 liegen die Halbleiterchips 1 ohne umgebenden direkten Schutz. Sofern sichergestellt ist, daß, zum Beispiel durch eindringende Feuchtigkeit, die Zuverlässigkeit des Halbleiterbauelementes nicht beeinträchtigt ist, muß die Öffnung 6 nicht mit der Preßmasse 12 ausgegossen werden.

Allen dargestellten Ausführungsbeispielen ist gemeinsam, daß diese aus einer Trägerlage, zumindest einer Zwischenlage und zumindest einer Decklage bestehen. Dies bedeutet, ein Submodul wird entweder von zwei Decklagen abgeschlossen oder aber durch eine Decklage und die Trägerlage. Die Halbleiterbauelemente weisen eine absolut plane Oberfläche auf, so daß mehrere der dargestellten Submodule zu einem größeren Halbleiterbauelement verbunden werden können. Der modulare Aufbau aus Submodulen bringt den Vorteil mit sich, daß funktionell zusammengehörende Bauteile in einem Submodul integriert werden können. Der Funktionsumfang eines Halbleiterbauelementes kann auf diese Weise durch Zusammenfügen mehrerer Submodule leicht erweitert werden. Weiterhin wird durch das Vorsehen eines integrierten Wärmeverteilers in Form der Decklage der thermische Streß auf das Bauelement verringert. Je nach Ausgestaltung des Wärmeverteilers kann eine optimale Wärmeableitung erzielt werden.

Fig. 5 zeigt ein Halbleiterbauelement in einer leicht abgewandelten Form eines beidseitigen Submodules. Fig. 5 unterscheidet sich gegenüber Fig. 4 nur dadurch, daß eine von beidseitig auf der Trägerlage 2 aufgebrachten Zwischenlagen 3 nur eine Öffnung 6 enthält, in der im Querschnitt ein Halbleiterchip 1 zu erkennen ist. Die andere Zwischenlage weist in Analogie zu Fig. 4 zwei Öffnungen 6 auf, in der jeweils ein Halbleiterchip 1 untergebracht ist. Eine der beiden Halbleiterchips 1 ist mittels Flip-Chip-Kontaktierung 11, der andere mittels Bonddrähten 10 elektrisch mit den Leiterbahnen 4 verbunden. Auch in Fig. 5 ist nur auf einer Seite der Trägerlage 2 ein passives Bauelement 7 aufgebracht. Es ist jedoch denkbar, daß auch auf der anderen Seite der Trägerlage 2 passive Bauelemente 7 integriert sind. Der in der unteren Zwischenlage 3 liegende Halbleiterchip 1 ist in seiner Öffnung 6 nicht von Preßmasse 12 umgeben. Die übrigen Merkmale des in Fig. 5 gezeigten Halbleiterbauelementes unterscheiden sich nicht von den bisher beschriebenen Varianten.

Fig. 6 zeigt ein Halbleiterbauelement in einer Draufsicht. Der besseren Übersichtlichkeit halber wurde die Decklage 5, die auf der Zwischenlage 3 aufgebracht ist und die Öffnungen 6 verschließt, weggelassen. Die Zwischenlage 3 weist in dem ausgeführten Beispiel drei Öffnungen 6 auf, wobei in zwei Öffnungen jeweils ein Halbleiterchip 1 liegt, und in einer großen Öffnung 6, die auf der rechten Seite der Zwischenlage 2 liegt, zwei Halbleiterchips 1 liegen. Weiterhin zeigt das Ausführungsbeispiel Leiterbahnen 4, die auf der Zwischenlage 2 aufgebracht sind, und an den Enden des Halbleiterbauelementes mit Metallisierungen 9, die als Außenkontakte 8 dienen, versehen sind. Die Außenkontakte 8 weisen eine Kodierung 17 in Form einer abgeschnittenen Ecke auf. Die mechanische Kodierung 17 dient dazu, ein falsches Einstecken des Halbleiterbauelementes auf einem Baugruppenträger zu verhindern. Die mechanische Kodierung 17 kann auch in Form einer Aussparung oder in Form eines abgeschnittenen Vielecks oder jeder anderen mechanischen Ausführung erfolgen, die sicherstellt, daß ein falsches Kontaktieren des Halbleiterbauelementes auf einem Baugruppenträger sichergestellt ist. Die in der großen Öffnung 6 liegenden zwei Halbleiterchips 1 sind mit ihrer nichtleitenden Rückseite auf dem Trägerlage 2 befestigt. Die auf dem



Halbleiterchip 1 befindlichen Kontaktpads 14 sind mittels Bonddrähten 10 elektrisch mit den Leiterbahnen 4 verbunden. Die Leiterbahnen reichen dabei in den Bereich der Öffnung 6 hinein. Die in den anderen beiden Öffnungen 6 liegenden Halbleiterchips 1 sind mittels eines Flip-Chip-Prozesses mit der Trägerlage 2 und den Leiterbahnen 4 elektrisch und mechanisch kontaktiert.

In einer vorteilhaften Ausgestaltung ist es sinnvoll, daß die Vielzahl (n) an Halbleiterchips 1 durch gemeinsame Leiterbahnen 4 versorgt werden. Dies bringt den Vorteil mit sich, daß die Anzahl der Außenkontakte 8 bzw. der Metallisierungen 9 um die  $(n-1) \cdot 2$  verringert werden kann. Dies bedingt jedoch eine interne Verbindung der Kontaktpads 14 der Halbleiterchips 1 untereinander mittels Leiterbahnen 4 und/oder durch Kontaktierungen 16.

Fig. 7 zeigt ein Halbleiterbauelement im Querschnitt, wobei dieses sich aus zwei Submodulen zusammensetzt. Basis des erfindungsgemäßen Halbleiterbauelementes ist ein beidseitiges Submodul, auf das ein einseitiges Submodul aufgebracht ist. Das beidseitige Submodul besteht aus einer Trägerlage 2, die auf beiden Seiten Leiterbahnen 4 sowie, falls erwünscht, passive Bauelemente 7, aufweist. Jede Zwischenlage 3 weist zwei Öffnungen 6 auf, in die jeweils ein Halbleiterchip 1 eingebracht ist. Im Bild ist eine besonders vorteilhafte Ausgestaltung dargestellt, wenn die Halbleiterchips 1 untereinander verbunden werden sollen. Die kürzesten Signalwege lassen sich dann erreichen, wenn die Halbleiterchips 1 gespiegelt auf der Trägerlage 2 aufgebracht sind. In der Figur sind in den rechten Öffnungen die Halbleiterchips 1 mit ihren nichtleitenden Rückseiten auf der Trägerlage 2 mittels Kleber 15 befestigt und über Bonddrähte 10 auf Leiterbahnen 4 elektrisch verbunden. Die Leiterbahnen 4, die gespiegelt auf der Trägerlage 2 angebracht sind, sind mittels Durchkontaktierungen 16 miteinander verbunden. Hierdurch lassen sich extrem kurze Signallaufzeiten erreichen, was vor allem bei hohen Frequenzen von Vorteil ist. In den beiden linken Öffnungen 6 sind die Halbleiterchips 1 mittels Flip-chip-Kontaktierung 11 auf dem Trägerlage 2 befestigt und elektrisch mit den Leiterbahnen 4 verbunden. Auch hier liegt eine gespiegelte Anordnung vor. Mittels Durchkontaktierungen 16 lassen sich sehr kurze Signallaufzeiten erreichen. Diese sind sogar noch kürzer, als wenn die Halbleiterchips 1 mittels Bonddrähten elektrisch kontaktiert sind. Das beidseitige Submodul weist auf jeder der Zwischenlagen 3 eine Decklage 5 auf, die an der den Außenkontakten 8 gegenüberliegenden Seite über die Zwischenlagen 3 und die Trägerlage 2 hinaussteht. Die Zwischenlagen 3, die Trägerlage 2 und die Decklage 5 sind mittels Lamination fest verbunden. Die Öffnungen 6, in denen sich die Halbleiterchips 1 befinden, sind mit Preßmasse 12 ausgegossen. Weiterhin besteht das Halbleiterbauelement aus einem einseitigen Submodul, wobei dessen Trägerlage 2 mit einer der Decklagen 5 des beidseitigen Submoduls verbunden ist. Sollen die Halbleiterchips des einseitigen Submoduls mit den Halbleiterchips 1 oder Leiterbahnen 4 des beidseitigen Submoduls verbunden werden, so übernehmen Kontaktinterfaces 13, die sich sowohl an der Unterseite der Zwischenlage 2 als auch auf der entsprechenden Decklage 5 befinden, die Verbindung. Die Kontaktinterfaces 13 sind jeweils mit einer Durchkontaktierung 16 verbunden. Werden zwei Submodule z. B. mittels eines anisotropen Leitlebbers miteinander verbunden, so ist neben einer festen Verbindung der beiden Submodule gleichzeitig die elektrische Verbindung an den Kontaktinterfaces 13 sichergestellt. Es ist jedoch auch denkbar, daß an Stellen der Kontaktinterfaces 13 Lötkegeln oder Lötpasten aufgetragen werden, die beim Zusammenfügen der beiden Submodule die elektrische Verbindung übernehmen. In der dargestellten Figur sind zwei Submodule

miteinander verbunden. Es ist jedoch jederzeit denkbar, daß, ausgehend von einem zweiseitigen Submodul, beliebig viele einseitige Submodule aufeinander aufgebracht werden, um das Bauelement somit in der dritten Dimension erweitern. Die einseitigen Submodule können dann auch an den Decklagen 5 weitere Kontaktinterfaces 13 aufweisen, die die Halbleiterchips 1 verschiedener Submodule miteinander verbinden. Dadurch, daß in Submodulen vorteilhafterweise unterschiedliche funktionelle Baugruppen angeordnet sind, ist durch das Zusammenfügen der Submodule zu einem einzigen Halbleiterbauelement eine besonders raumökonomische Lösung gefunden.

Fig. 8 zeigt ein Halbleiterbauelement im Querschnitt, das aus einem zweiseitigen Submodul und zwei einseitigen Submodulen besteht. Die einseitigen Submodule sind dabei symmetrisch auf dem beidseitigen Submodul aufgebracht. Die Symmetrie bezieht sich dabei auf die äußere Gehäusumrandung, nicht jedoch auf die Anordnung der Halbleiterchips 1 und passiven Bauelemente 7 bzw. Leiterbahnen 4 im Inneren der Submodule. Das in Fig. 8 gezeigte Halbleiterbauelement unterscheidet sich von den vorher beschriebenen Varianten durch die Ausführung der Außenkontakte 8. Anstatt einer Steckverbindung mit Metallisierungen 9, sind die Außenkontakte 8 als Pins ausgeführt. Es sind jedoch auch noch andere Außenkontaktformen denkbar als die in den Ausführungsbeispielen gezeigten Varianten.

Die Vorteile eines erfindungsgemäßen Halbleiterbauelementes bestehen darin, daß diese aus modular aufgebauten Submodulen zusammengesetzt werden können. Jedes einzelne Submodul – einseitiges Submodul oder zweiseitiges Submodul – kann mit bekannten Herstellungstechnologien gefertigt werden. Dies ermöglicht eine kostengünstige rationelle und schnelle Fertigung eines Submoduls. Es sind auch keine neuen Bearbeitungsmaschinen zur Herstellung der einzelnen Bauteile notwendig. Weiterhin weist das erfindungsgemäße Halbleiterbauelement den Vorteil auf, daß die komplett bestückten und versiegelten Module eine geringere Verformung aufweisen, als wenn die einzelnen Halbleiterbauteile – Halbleiterchips, passive Bauelemente, usw. – auf einem Baugruppenträger in einzelner Form nebeneinander aufgebracht würden. Aufgrund der kompakten Bauweise kann eine verbesserte Signalperformance, die vor allem bei höheren Frequenzen von Vorteil ist, erzielt werden. Die Halbleiterbauelemente weisen eine niedrige Bauhöhe auf und können aufgrund der planen Flächen aufeinander gestapelt und miteinander verbunden werden.

#### Patentansprüche

1. Halbleiterbauelement mit zumindest jeweils einer Trägerlage (2), einer Zwischenlage (3) und einer Decklage (5), wobei die Trägerlage (2), die Zwischenlage (3) und die Decklage (5) übereinanderliegen und wobei zumindest ein Halbleiterchip (1) in der Zwischenlage (3) eingesetzt ist und mittels seiner Kontaktpads (14) mit einer auf der Trägerlage (2) vorgesehenen Leitungsanordnung (4) ist, die zu Außenkontakten (8) des Halbleiterbauelementes führt.
2. Halbleiterbauelement nach Patentanspruch 1, wobei
  - die zumindest eine Zwischenlage (3) mit zumindest einer
  - Öffnung (6) versehen ist, die den zumindest einen Halbleiterchip (1) aufweist,
  - die Leiterbahnanordnung (4) in einem Bereich in der Nähe des Halbleiterchips (1) und einem Randbereich des Halbleiterbauelementes endet.
3. Halbleiterbauelement nach Patentanspruch 2, dadurch gekennzeichnet, daß die zumindest eine Deck-



lage (5) als Wärmeverteiler ausgebildet ist.

4. Halbleiterbauelement nach Patentanspruch 1, 2 oder 3 dadurch gekennzeichnet, daß auf der Trägerlage (2) ein- oder beidseitig jeweils eine Zwischenlage (3) aufgebracht ist.

5. Halbleiterbauelement nach Patentanspruch 4, dadurch gekennzeichnet, daß die eine Seite einer Zwischenlage (3) eine Decklage (5), die andere Seite einer Zwischenlage (3) eine Trägerlage (2) aufweist.

6. Halbleiterbauelement nach einem der Patentansprüche 2 bis 5, dadurch gekennzeichnet, daß die in der Nähe des zumindest einen Halbleiterchips (1) liegenden Leiterbahnenden (4) innerhalb einer Öffnung (6) liegt.

7. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Leiterbahnanordnung (4) ein- oder beidseitig auf der zumindest einen Trägerlage aufgebracht ist.

8. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die zumindest eine Trägerlage (2) zumindest ein passives Bauelement (7) aufweist.

9. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Decklage (5) an zumindest einer Seite, an der keine Außenkontakte (8) angeordnet sind, über die Zwischenlage (3) und die Trägerlage (2) hinausreicht.

10. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Trägerlage (2) an der Seite, an der die Außenkontakte (8) angeordnet sind, über die Zwischenlage (3) und die Decklage (5) hinausreicht.

11. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß alle Halbleiterchips (1) über eine gemeinsame Leiterbahn (4) versorgt werden.

12. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Außenkontakte (8) zumindest einer Trägerlage (2) eine mechanische Kodierung (17) aufweisen.

13. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß als Zwischenlagenmaterial und als Trägerlagenmaterial eine teilweise durchoxidierte Aluminiumoxidfolie verwendet wird.

14. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Trägerlage (2), die Zwischenlage (3) und die Decklage (5) Durchkontaktierungen (16) aufweisen.

15. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß signalführende Kontaktpads (14) von zumindest zwei Halbleiterchips (1) mittels der Leiterbahnanordnung (4) und/oder der Durchkontaktierungen (16) miteinander elektrisch verbunden sind.

16. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Decklage (5) und die Trägerlage (2) zumindest ein Kontaktinterface (13) aufweisen, wobei das zumindest eine Kontaktinterface (13) mit der Leiterbahnanordnung (4) oder mit Durchkontaktierungen (16) elektrisch verbunden ist.

17. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die verlängerten Enden der Trägerlage (2) Außenkontakte (8) aufweisen.

18. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß

die Außenkontakte (8) ein- oder beidseitig Metallisierungen (9) aufweisen, wobei jede der beiden Metallisierungen (9) ein elektrisches Signal führt oder wobei beide Metallisierungen (9) dasselbe Signal führen.

19. Halbleiterbauelement nach einem der vorhergehenden Patentansprüche, dadurch gekennzeichnet, daß die Trägerlage (2), die Zwischenlage (3) und die Decklage (5) mit anisotropen Leitlebver verbunden sind.

20. Verfahren zum Herstellen eines Halbleiterbauelementes mit den Schritten:

a) Vorsehen einer mit einer Leiterbahnanordnung (4) und zumindest einem passivem Bauelement (7) bestückten Trägerlage (2)

b) Verbinden der Trägerlage (2) mit einer zumindest eine Öffnung (6) aufweisende Zwischenlage (3)

c) Einbringen zumindest eines Halbleiterchips (1) in die zumindest eine Öffnung (6)

d) Verbinden des zumindest einen Halbleiterchips (1) mit der Trägerlage (2)

e) elektrisches Kontaktieren des zumindest einen Halbleiterchips (1) mit der Leiterbahnanordnung (4)

f) Aufbringen und Verbinden einer Decklage (5), wobei die Zwischenlage (3) mit der zumindest einen Öffnung (6) bedeckt wird und

g) Aufbringen von Metallisierungen (9) auf die Enden der Leiterbahnen (4)

21. Verfahren zum Herstellen eines Halbleiterbauelementes mit den Schritten:

a) Vorsehen einer mit einer Leiterbahnanordnung (4) und zumindest einem passivem Bauelement (7) bestückten Trägerlage (2)

b) Vorsehen zumindest eines Halbleiterchips (1) auf der Trägerlage (2)

c) Verbinden des zumindest einen Halbleiterchips (1) mit der Trägerlage (2)

d) elektrisches Kontaktieren des zumindest einen Halbleiterchips (1) mit den Leiterbahnen (4)

e) Aufbringen und Verbinden der Trägerlage (2) mit einer zumindest eine Öffnung (6) aufweisende Zwischenlage (3)

f) Aufbringen und Verbinden einer Decklage (5), wobei die Zwischenlage (3) mit der zumindest einen Öffnung (6) bedeckt wird und

g) Aufbringen von Metallisierungen (9) auf die Enden der Leiterbahnen (4).

22. Verfahren zum Herstellen eines Halbleiterbauelementes nach Anspruch 20 oder 21 mit den Schritten:

a) Fertigen zumindest zweier Sub-Module nach Anspruch 20 oder 21, wobei die Trägerlage (2) genau eines Sub-Modules beidseitig mit jeweils einer Zwischenlage (3) verbunden ist.

b) Zumindest einmaliges Verbinden zweier Sub-Module, wobei eine Decklage (5) mit einer Zwischenlage (3) zusammengefügt wird.

---

Hierzu 4 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1

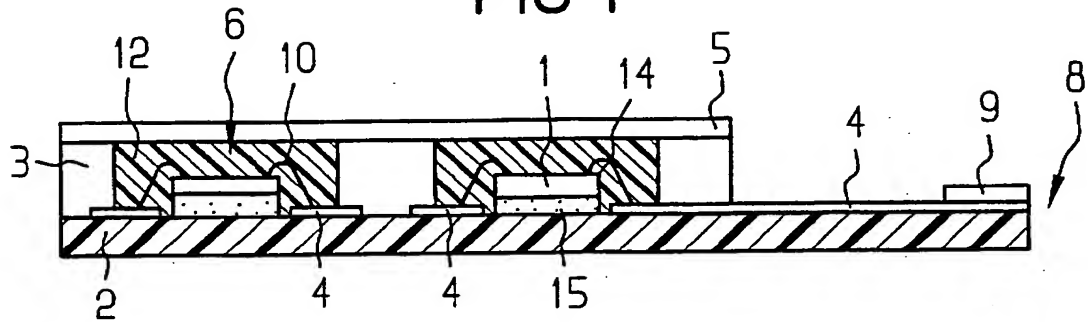


FIG 2

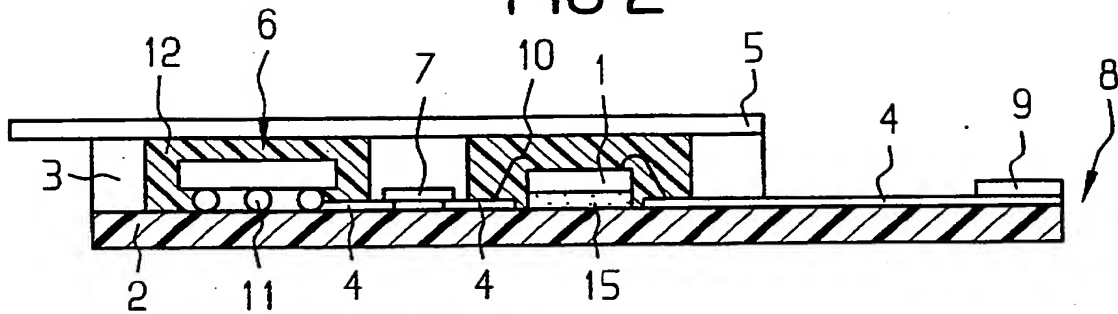
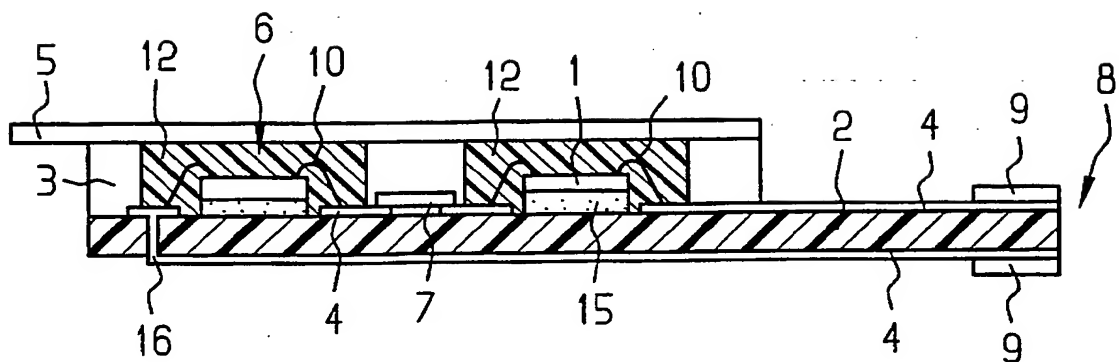
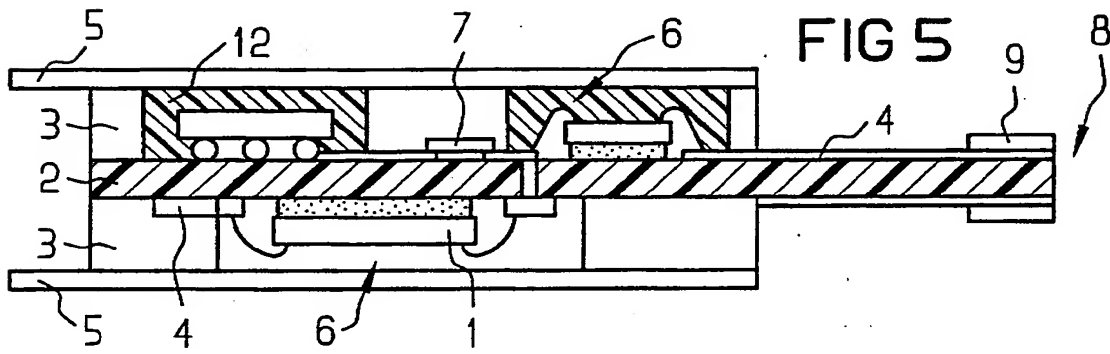
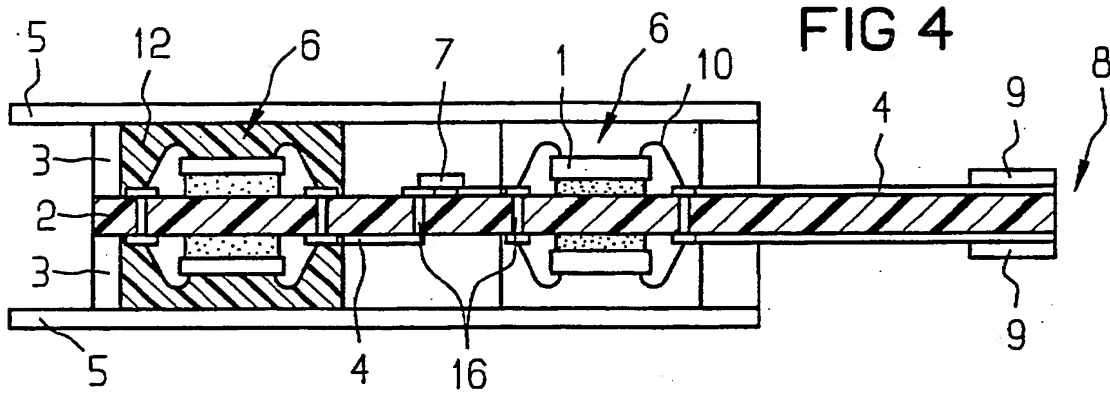


FIG 3





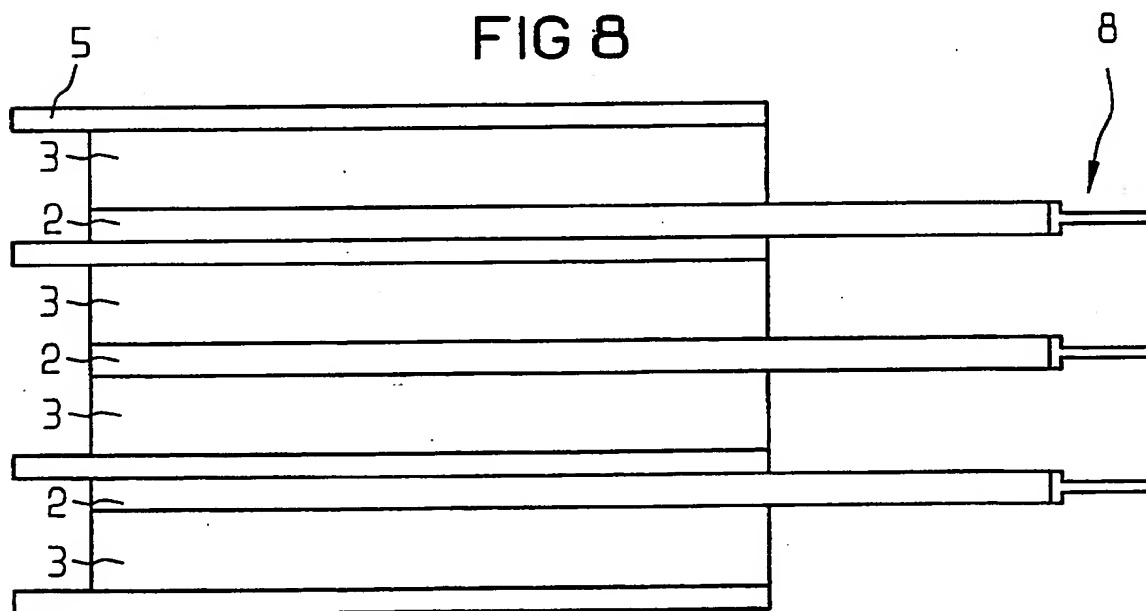
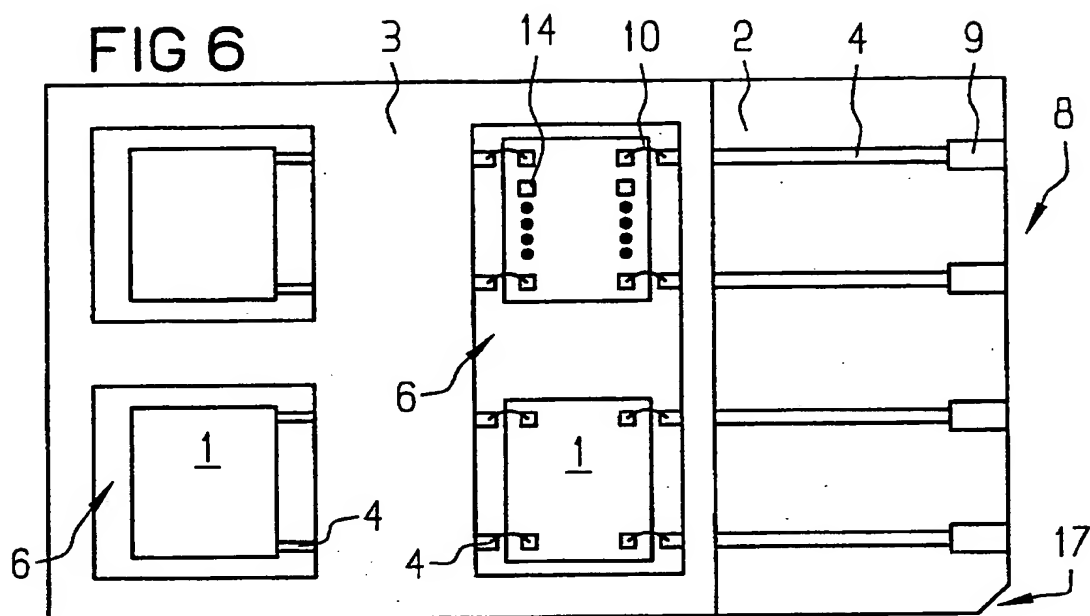


FIG 7

